

AD

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-166244

(43)Date of publication of application : 26.07.1986

(51)Int.Cl.

H04L 11/00

(21)Application number : 60-006856

(71)Applicant : SONY CORP

(22)Date of filing : 18.01.1985

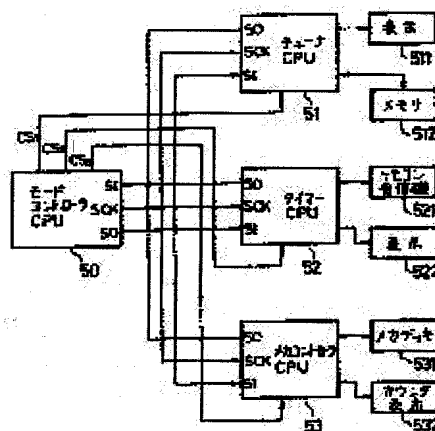
(72)Inventor : SHIMADA KEIICHIRO
TAKADA SHINJI

(54) COMMUNICATION SYSTEM WITHIN SYSTEM

(57)Abstract:

PURPOSE: To attain ease of communication management and ease of debugging of communication bug by executing communication periodically synchronously with a synchronizing signal of a synchronous system.

CONSTITUTION: Chip select signals CS1 ~ CS3 are fed to each chip select terminal of CPU51 ~ 53 for a tuner, a timer and a mechanism controller being each slave function device from a CPU50 of a mode controller so that the CPU51 ~ 53 and the CPU50 are communicated at a period not overlapped timewise within one vertical period. That is, the master CPU50 manages communication and the communication is repeated periodically in phase locking with the vertical synchronizing signal of a video signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-166244

⑬ Int.Cl.⁴

H 04 L 11/00

識別記号

1 0 1

庁内整理番号

G-7830-5K

⑭ 公開 昭和61年(1986)7月26日

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 システム内通信方式

⑯ 特 願 昭60-6856

⑰ 出 願 昭60(1985)1月18日

⑱ 発 明 者 島 田 啓 一 郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 発 明 者 高 田 信 司 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉑ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 システム内通信方式

特許請求の範囲

シリアル入力端子、シリアル出力端子、クロック端子を有する複数の機能デバイスと、同期信号処理系を有するシステムにおいて、上記複数の機能デバイスの1つがマスター、他がスレーブとされ、マスターの機能デバイスのシリアル入力端子と各スレーブの機能デバイスのシリアル出力端子、上記マスターの機能デバイスのシリアル出力端子と各スレーブの機能デバイスのシリアル入力端子、上記マスターの機能デバイスのクロック端子と各スレーブの機能デバイスのクロック端子がそれぞれ接続されるとともに上記マスターの機能デバイスから各スレーブの機能デバイスにチップセレクト信号が供給され、このチップセレクト信号により上記マスターの機能デバイスと各スレーブの機能デバイスとの間の通信が排他的に順次行われるとともに上記同期信号に同期して周期的に行われるようにされたシステム内通信方式。

発明の詳細な説明

(産業上の利用分野)

この発明は、例えば映像機器のように同期信号処理系を有する電子機器内部の諸機能を司る複数のマイクロコンピュータ(以下CPUという)やLSI間の通信を行う場合や、これら複数の映像情報機器例えばVTR、カメラ、チューナ、タイマーユニットからなるシステム内のこれら各機器間の通信を行う場合に用いられる通信方式に関する。

(従来の技術)

最近のVTRは多機能化、小型化、低価格化が進んでいる。この流れの中で制御系すなわちシステムコントローラ(以下シスコンという)は複雑化の一途をたどり、メモリー容量、処理時間、入出力ピン数等の制約からシスコンは複数のCPUを用いることが多くなっている。その上、CPUの低価格化によりフィーチャーハードウェアをソフトウェア処理に置き替える傾向になってきていることや、リモートコントロール等のように周辺

特開昭61-166244(2)

からの操作・制御の需要が増加し、従来はシスコンを経由する必要のなかった線がシスコンの管理下におかれるようになってきたことも、複数のCPUを用いる傾向に拍車をかけている。

この場合のシスコンの構成の方法として第10図に示すようにこれら複数のCPUを集散的に1個の基板(1)上に設け、この基板(1)に対し、各CPUの司る機能を遂行する機能基板(2)～(4)を接続して、制御を集散的に行うことが考えられる。

しかし、この構成では図から明らかなように結線数が非常に多くなり、このため製造工数が増え、とともに信頼性が低下する欠点がある。

この欠点を回避する方法として各機能を、その機能を司るCPU又はLSIとその機能を遂行する回路ブロック等からなる機能デバイスとしてモジュール化して、分散処理をすることが考えられる。

このように、複数の機能デバイスによる分散処理をなす場合に、各機能デバイスへの制御データの伝送及びこの機能デバイスからのデータの伝送

の仕方が問題になる。

その方法の一つとして第11図に示すように、データ伝送が必要な機能デバイス間を結合させて網目状の構造にする非バスラインシステムが考えられる。つまり、処理だけでなく情報も分散化する方式である。しかし、この方式では網目状構造のため、処理が非常に入り組んで、デバッグや改造が困難になるという欠点がある。

そこで、各機能デバイス間のデータの通信線をバスライン化して処理は分散化するが情報データは集中化する方法が考えられた。この場合、データはパラレルデータのまま通信するのでは通信線は多数になってしまうため、バスラインはシリアルデータを伝送するシリアルバスラインとする。

第12図はこのような集中情報分散処理方式を採用するシステム内通信方式の結線状態を示す図で、複数の機能デバイスのうちの1つをマスターの機能デバイスとし、他の機能デバイスをスレーブとして、マスターの機能デバイスのCPU(10)と複数のスレーブの機能デバイスのCPU(11)～

3

(15)間をシリアルバスライン(16)で接続する。そして、各スレーブの機能デバイスのCPU(11)～(15)と機能ブロック(11F)～(15F)とは通常と同様に接続する。

このような情報集中化分散処理方式によれば、次のような利点がある。

すなわち、結線数が著しく少なくなるので、製造工数の低減とともに信頼性の向上が図れる。また、情報の集中化により外部との通信が容易、すなわち外部との通信は例えば外部との通信専用の機能デバイスのCPUとの間でのみ行えばよいので、編集機、リモコン、ホームバスとのインターフェースがとりやすくなる。また、共通の通信路にあらゆる情報が流れるので拡張が容易になる。さらに、機能モジュール化により、機能デバイスの機能値を超えた共通化が可能になり、いわば多品種少量生産に対応することができる。この場合に、それぞれの機能デバイスはモジュールレベルでテストされ、動作が補償されてから使用されるので製品の信頼性が向上する。そして、この機能モジ

5

4

ュール化することによって大規模システムを素に完成させることができ、しかも、モジュールレベルでの量産化によりコストダウンが図られ、組立工数の低減と相俟ってシステム的大幅コストダウンを図ることが可能である。

以上のような特徴を有する情報集中化分散処理システム内の通信方式の具体例として、次のようなものが知られている。

すなわち、これは最近のワンチップCPUにはシリアルポートが内蔵されているものが多々あるので、このシリアルポートを用いて通信を行うものである。ここで、シリアルポートとは次のようなものをいう。

すなわち、第13図は8ビットのシリアルポートの例で、同図において、(21)は8ビットのシフトレジスタで、そのシリアル入力端はCPU(20)のシリアル入力端子S1に接続される。また、このシフトレジスタ(21)のシリアル出力端は1ビット分のラッチ回路(22)及び出力ゲート(23)を介してCPU(20)のシリアル出力端子SOに

6

特開昭61-166244(3)

接続される。

また、SCKはCPU(20)のクロック端子で、クロック切換スイッチ(24)が端子A側に切換えられるときは、このCPU(20)内の内部クロック発生源(25)よりのクロックINCKがこのスイッチ(24)を介してシフトレジスタ(21)のクロック端子に供給され、スイッチ(24)が端子B側に切り換えられるときは、外部よりクロック端子SCKを通じて入力されるクロックEXCKがシフトレジスタ(21)のクロック端子に供給される。

また、シフトレジスタ(21)のバラレル入出力端はCPU(20)の内部データバスと接続されている。

クロックINCK及びEXCKは通信時のみ8ビット分つまり8発のパルスが得られるもので、この8発のクロックパルスがシフトレジスタ(21)に供給されることによって、そのときストアされていた8ビットのデータがラッチ回路(22)及び出力ゲート(23)を介してシリアル出力端子SOに転送されるとともに、シリアル入力端子SIに入力さ

れている8ビットのデータがこのシフトレジスタ(21)に取り込まれる。

第14図Aはこのシフトレジスタ(21)に供給されるクロックパルスを示し、また同図Bは書き込まれる8ビットのデータ、同図Cは読み出される8ビットのデータを示し、クロックパルスの前縁である立ち下がりでデータは読み出され、クロックパルスの後縁である立ち上がりでデータは書き込まれる。

ラッチ回路(22)はこのように書き込み及び読み出しをなす場合に、読み出されたデータの1ビットを保持するためのものである。

そして、カウンタ(26)によりこのシフトクロックパルスINCK又はEXCKが8個カウントされると、これより割り込み信号が得られ、これにより、シフトレジスタ(21)に取り込まれたデータが読み出されて内部データバスに転送される。また、次の送出データがシフトレジスタ(21)に書き込まれる。

以上のようなシリアルポートを有するCPUを

7

構築する機能デバイスを用いて上述した情報集中化分散処理システム内の通信を行う。すなわち、第15図はその例であり、マスターの機能デバイスのCPU(30)のシリアルポートのシリアル出力端子SOをスレーブの機能デバイスのCPU(31)(32)のシリアルポートのシリアル入力端子SIにそれぞれ接続し、CPU(30)のシリアル入力端子SIはCPU(31)(32)のシリアル出力端子SOにそれぞれ接続する。また、CPU(30)のクロック端子SCKとCPU(31)及び(32)のクロック端子SCKとを接続する。そして、この場合、マスターのCPU(30)のクロック切換スイッチ(24)は端子A側に切り換えられるとともにスレーブのCPU(31)(32)のクロック切換スイッチ(24)は端子B側に切り換えられる。したがってクロック端子SCKは、マスターのCPU(30)では出力端子となり、スレーブのCPU(31)及び(32)では入力端子となる。

また、この例においてはマスターのCPU(30)にはスレーブの機能デバイスの数分だけ1対のリ

8

クエスト入力端子と出力端子が設けられる。この例ではスレーブの機能デバイスは2個であるのでリクエスト入力端子RQI₁及び出力端子RQO₁及びリクエスト入力端子RQI₂及び出力端子RQO₂が設けられる。

一方、スレーブのCPU(31)(32)には、1対のリクエスト入力端子RQI及び出力端子RQOがそれぞれ設けられる。

そして、マスターのCPU(30)のリクエスト入力端子RQI₁及びRQI₂がそれぞれスレーブのCPU(31)及び(32)のそれぞれのリクエスト出力端子RQOに、マスターのCPU(30)のリクエスト出力端子RQO₁及びRQO₂がスレーブのCPU(31)及び(32)のリクエスト入力端子RQIに、それぞれ接続される。

そして、例えばVTRでモードが変わったとき等通信の必要を生じたときリクエストを出して通信をなす。例えばスレーブのCPU(31)が通信の必要を生じたときは、そのリクエスト出力端子RQOよりマスターのCPU(30)のリクエスト

9

10

特開昭61-166244(4)

入力端子 RQI₁ に供給されるリクエスト信号が例えば「1」になり、CPU (31) から CPU (30) への送信がアクティブにされる。

マスターの CPU (30) ではこれを受けて、この CPU (30) が行っている他の仕事や他の通信が完了するのを持って、今度はマスターの CPU (30) のリクエスト出力端子 RQO₂ からスレーブの CPU (31) のリクエスト入力端子 RQI に供給するリクエスト信号を「1」にし、CPU (30) から CPU (31) への送信をアクティブにする。これで、スレーブの CPU (31) とマスターの CPU (30) との通信が可能の状態となる。そして、CPU (30) から内部クロック INCK が 8 個得られ、これがその内蔵シフトレジスタ (21) に供給されるとともにクロック入出力端子 SCK を通じてスレーブの CPU (31) の内蔵シフトレジスタ (21) に供給され、それぞれそのシフトレジスタ (21) にストアされていたデータがこのクロックパルス INCK の前縁により読み出され、それぞれ出力端子 SO より相手方の入力端子 SI を通じてその内蔵

シフトレジスタ (21) の入力端子に供給され、シフトクロック INCK の後縁で、それぞれシフトレジスタ (21) に書き込まれる。こうして、CPU (31) のデータと CPU (30) のデータの同時通信がなされ、CPU (30) 及び (31) のシフトレジスタ (21) のデータのいわば入れ換えがなされる。

そして、この通信が終わると割り込み信号により各 CPU (30) 及び (31) においてシフトレジスタ (21) から 8 ビットのパラレルデータが読み出されて内部バスに供給され、そのデータに従った処理がなされることになる。

この通信の最中に、他の仕事の要求、例えばリモコン割り込み要求やタイマ割り込み要求等があり、それが通信より優先すべきときは、リクエストが停止すなわち、リクエスト信号が「0」にされて通信が中断され、その割り込みのルーチンが実行される。このとき、相手方の CPU はリクエスト信号の状態によりそれを知り、通信を失敗とみなし、しばらくした後、再び通信をやり直す。

11

なお、シフトレジスタ (21) のクロック信号は、マスターの CPU (30) から必ず出力する必要はなく、スレーブの CPU 側から出力するようにしてもよい。

(発明が解決しようとする問題点)

以上のような従来の通信方式の場合、通信はモードが変わったとき等、通信の必要が生じたときだけリクエストを出して通信を行なうものである。常にリクエストがあるかどうか監視しなければならず、また、前述したように他の仕事との優先を考慮したり、他のスレーブの機能デバイスの通信リクエストが重なったときにもその優先順位を考慮しなければならない等、通信管理が難しく、また、バグが発生しやすい。その上、デバグにも手間どるため、製造の上での期間が長くなり、工数が多くなり、効率の良い設計ができない欠点がある。

また、通信は 1 回で終了するので誤ったデータを送信したときは、次のリクエストがあるまで誤った状態のまま装置が置かれてしまうという欠点

13

12

もある。

(問題点を解決するための手段)

第 1 図はこの発明の基本的構成の一例で、機能デバイスが 5 個で、そのうちの 1 つの機能デバイスの CPU (40) がマスター、他の機能デバイスの CPU (41) ~ (44) がスレーブとされる場合である。

この例においてもマスターの CPU (40) のシリアル出力端子 SO がスレーブの CPU (41) ~ (44) のシリアル入力端子 SI にそれぞれ接続され、またマスターの CPU (40) のシリアル入力端子 SI がスレーブの CPU (41) ~ (44) のシリアル出力端子 SO にそれぞれ接続され、さらにマスターの CPU (40) のシリアルクロック端子 SCK 及びスレーブの CPU (41) ~ (44) のシリアルクロック端子 SCK が互いに接続される。

そして、この場合、マスターの機能デバイスの CPU (40) からそれぞれチップセレクト信号 CS₁ ~ CS₄ が各スレーブの機能デバイスの CPU (41) ~ (44) のチップセレクト端子に供給され

14

特開昭61-166244(5)

る。この場合、このチップセレクト信号 $CS_1 \sim CS_4$ は第2図A～Dに示すように「0」になる期間が互いに時間的に重ならないように位相がずれた信号とされる。また、同図Eはこのシステムの同期信号処理系例えば映像情報機器の水平及び垂直同期系よりの垂直同期パルスVDで、チップセレクト信号 $CS_1 \sim CS_4$ はこの垂直同期パルスVDに同期して垂直周期で得られる。

〔作用〕

チップセレクト信号 CS_1 が「0」になると、マスターのCPU(40)とスレーブのCPU(41)との間が通信可能となり、この信号 CS_1 が「0」の期間 T_1 においてマスターのCPU(40)又はスレーブのCPU(41)からの所要ビット数のクロックパルスにより各CPU(40)及び(41)のシフトレジスタにストアされていたデータが相手方のシフトレジスタに転送される。つまり双方向同時通信がなされる。

次に、チップセレクト信号 CS_2 が「0」になる期間 T_2 になると、マスターのCPU(40)とス

レーブのCPU(42)との間において通信が可能となり、またチップセレクト信号 CS_3 が「0」になる期間 T_3 になると、マスターのCPU(40)とスレーブのCPU(43)との間において通信が可能となり、さらに、チップセレクト信号 CS_4 が「0」になる期間 T_4 になると、マスターのCPU(40)とスレーブのCPU(44)との間において通信が可能となり、それぞれ、期間 T_1 においてなされたのと同様にして双方向同時通信がなされる。

そして、以上の期間 $T_1 \sim T_4$ の1組が垂直周期でくり返し行われる。

〔実施例〕

第3図はこの発明の一実施例を示すもので、この例はVTRの内部通信にこの発明を適用した場合の例である。

また、この例はマスターの機能デバイスはモードコントローラで、CPU(50)を有している。また、スレーブの機能デバイスはチューナと、タイマーと、メカコントローラで、それぞれCPU

15

(51)(52)(53)を有している。そして、これらCPU(50)～(53)は前述した第13図に示したような8ビットのシリアルポートをそれぞれ有している。

モードコントローラのCPU(50)には、入力ポートを介して垂直同期パルスVD(第4図A)が供給されて、通信が後述のようにこの垂直同期パルスVDに位相同期して垂直周期でなされるようにされている。

CPU(50)のシリアル出力端子SOとCPU(51)～(53)のシリアル入力端子SIとが接続されるとともにCPU(50)のシリアル入力端子SIとCPU(51)～(53)のシリアル出力端子SOとが接続される。また、CPU(50)～(53)のシリアルクロック端子SCKが互いに接続される。この例の場合、前述例と同様にマスターのCPU(50)のスイッチ(24)は端子A側、スレーブのCPU(51)～(53)のスイッチ(24)は端子B側に切換えられて、クロックはマスターのCPU(50)からのみ発生するようにされる。

17

16

さらに、マスターの機能デバイスであるモードコントローラのCPU(50)からは、それぞれチップセレクト信号 $CS_1 \sim CS_3$ が各スレーブの機能デバイスであるチューナ、タイマー及びメカコントローラのCPU(51)～(53)のそれぞれのチップセレクト端子に供給されて、1垂直周期内においてこれらCPU(51)～(53)とCPU(50)間とが互いに時間的に重ならない期間で順次通信可能となるようにされる。つまり、マスターのCPU(50)が通信の管理を行い、かつ、通信は映像信号の垂直同期信号に位相同期して周期的にくり返す。

以下通信の状態をより具体的に説明する。

すなわち、チップセレクト信号 CS_1 (第4図B)がローレベルになる期間 T_A になると、チューナのCPU(51)とモードコントローラのCPU(50)間が通信可能となり、第4図E及びFに示すように両CPU(50)及び(51)の出力ゲート(23)がイネーブルにされ、それぞれ8ビットのデータDM(第4図J)及びデータDS₁(同図K)

18

特開昭61-166244(6)

がそれぞれのシフトレジスタ(21)に書き込まれる。こうしてデータDM、DS₁がそれぞれ用意されると、CPU(50)より8個のクロックCLK(第4図I)がその内蔵シフトレジスタ(21)に供給されるとともにCPU(51)にも端子SCKを通じてその内蔵シフトレジスタ(21)にクロックCLKが供給される。したがって、CPU(50)の送信データDMはCPU(51)のシフトレジスタ(21)に取り込まれ、CPU(51)の送信データDS₁はCPU(50)のシフトレジスタ(21)に取り込まれる。こうして、1ワード(8ビット)のデータの双方向同時通信が完了すると、第4図E及びFに示すように、それぞれ受信されたデータがバラレルデータの状態で読み出されて内部バスに供給される。

この例においては、モードコントローラとチューナとの間では2ワードのデータが1周期で通信されるようにされている。このため、CPU(50)及び(51)では、その後、次の2ワード目のデータのシフトレジスタ(21)への書き込みがなされ、

続いてCPU(50)から8個のクロックCLK(同図I)が再び得られ、2ワード目のデータDM及びDS₁の双方向同時通信がなされる。

この2ワード目の通信が終了すると、両CPU(50)及び(51)のシリアルポートはディスエ이블とされる。

このモードコントローラとチューナ間の通信データの例としてはチューナCPU(51)の出力データとして表示部(511)での現在チャンネルの表示データ、チャンネルポジション、バンド情報及び選局プリセットデータ等があり、またチューナCPUの入力データとして選局コマンド、他のCPUからのチューナCPU(51)に接続する不揮発性メモリ(512)への書き込み要求データ例えばβⅡ、βⅢの速度モードのラストデータ等がある。

次にチップセレクト信号CS₂(第4図C)がローレベルになる期間TBになると、タイマーのCPU(52)とモードコントローラのCPU(50)の間が通信可能となり、第4図E、G、I、J及び

19

Lに示すようにして、CPU(50)のデータDMとCPU(52)のデータDS₂との双方向同時通信がなされる。この両CPU(50)及び(52)間はこの例では1周期に1ワードの通信とされる。

この例では、タイマーCPU(52)はリモコン受信機(521)からのリモコン信号を受信し、蛍光表示管(522)をドライブしているので、タイマーのCPU(52)の出力データとしては、リモコン受信データやタイマー録画及びパワーコントロールデータ等が掲げられ、また、その入力データとしてはカウンタ値、VTRファンクションモード等のデータが掲げられる。

次に、チップセレクト信号CS₃(第4図D)がローレベルになる期間TCになると、メカコントローラのCPU(53)とモードコントローラのCPU(50)の間が通信可能となり、第4図E、H、I、J及びMに示すようにして、CPU(50)のデータDMとCPU(53)のデータDS₃との双方向同時通信がなされる。この両CPU(50)及び(53)間もこの例では1周期について1ワードの

20

通信とされる。

メカコントローラはモードコントローラからメカデッキ(531)が次に遷移すべきモードの情報を受け、メカデッキ(531)の現モード及びカウンタ表示部(532)のカウンタ情報等を送り出すもので、CPU(53)の出力データとしてはカウンタ値、現モードと次モード又は次モードと遷移中コード、βⅡ/βⅢ等のステータス等の情報が、その入力データとしては次に何のモードになるべきかのモードコマンド、βⅡ/βⅢ等の命令のステータスコマンド、カウンタリセットなどの命令等のデータが、それぞれ掲げられる。

以上のように、チップセレクト信号CS₁~CS₃により指定される期間TA~TCは、信号CS₂~CS₃が垂直同期パルスに同期する信号であるので、垂直同期パルスに位相同期して垂直周期でそれぞれくり返し、CPU(50)とCPU(51)~(53)との間で、周期的に通信がそれぞれなされる。

そして、それぞれのスレーブのCPU(51)~(53)では通信のための区間TA~TC以外では

21

22

特開昭61-166244(7)

別の仕事が可能であるので、以上のような同期通信を行ってもその別の仕事に支障は来さない。逆に、通信の期間が定まっているので、別の仕事を時分割で行うとき、その1つの仕事が途中で通信のために途切れてしまうことはないようにでき、その時間管理も容易にできる。

なお、マスターのCPU(50)においても、1垂直周期をすべて内部通信に割り当てるのではなく、休止区間を設けて、この休止区間にこのVTRとビデオカメラやその他の周辺機器との外部通信やその他の仕事を行うようにする。

なお、この場合、マスターのCPU(50)は通信専用であってももちろんよい。

以上は第13図に示したようなシフトレジスタを備えたシリアルポートを有するCPUを各機能デバイスに設けた場合であるが、機能デバイスをLSIで構成し、これに第13図に示したようなシリアルポートを具備させたものを用いてもよい。

また、シフトレジスタを備えたシリアルポートを有しないCPUを用いることもできる。

23

PUをマスターの機能デバイス側に用いる場合は、第6図に示すように出力ポート(71)をシリアル出力端子SOとし、入力ポート(72)をシリアル入力端子SIとし、出力ポート(73)をクロック出力端子SCK、出力ポート(74)をチップセレクト信号の出力端として、この場合にもソフトウェアでクロックを作り、これをスレーブのCPU側に伝送するとともに、マスターのCPUではソフトウェアでデータをビット毎に読み書きする。

また、特に多くのデータ処理を行う場合で、第7図に示すようにスレーブの機能デバイスのCPU(80)について、さらにシリアルバスライン(81)を介してスレーブの機能デバイスのCPU(90)が設けられ、これらスレーブのデバイスのCPU(80)(90)間で通信をなす必要がある場合には、第7図に示すように、マスターの機能デバイスのCPU(70)とシリアルバスラインを介して接続されるスレーブの機能デバイスのCPU(80)に2個のシリアルポートを設け、第8図に示すように時分割多重によりマスターのCPU

25

すなわち、このCPU(60)をスレーブの機能デバイスに設ける場合には、第5図に示すようにシフトレジスタを備えたシリアルポートを有するマスターのCPUのシリアル出力端子SOは入力ポート(61)に、シリアル入力端子SI及びクロック端子SCKは出力ポート(62)(63)に、それぞれ接続するとともにチップセレクト信号CSは割り込み入力端INTに供給する。セレクト信号CSは入力ポートを通じて入力するようにしてもよい。そして、別の出力ポート(64)より出力ポート(62)及び(63)よりのラインをイネーブルにする信号を出力するとともに、このCPU(60)においてソフトウェアによりクロックを作成し、ソフトウェアでビット毎にデータの読み書きをする。マスターのCPUへはこのソフトウェアで作成したクロックを供給し、これをその内蔵シフトレジスタのシフトクロックとする。つまり、マスターのCPUのクロック切替スイッチは端子B側に接続しておく。

また、このようなシフトレジスタを有しないC

24

(70)とスレーブのCPU(80)間の通信の休止区間にスレーブのCPU(80)と(90)間の通信を行うようにすればよい。

さらに、スレーブのCPU(80)に1個のシリアルポートしかない場合には第9図に示すように、シリアルバスにスイッチ(100)を設け、マスターのCPU(70)とスレーブのCPU(80)間の通信の休止区間にスレーブのCPU(80)とマスターのCPU(70)との通信路を断ち、スレーブのCPU(80)と(90)との通信路を接続するようにすればよい。

なお、さらに、上述したような8ビットのシフトレジスタを有せず、4ビットのシフトレジスタを有するシリアルポートを具備するCPUもあるが、このようなCPUを8ビットのシリアルポートを有するCPUとの通信に用いるときも、この4ビットのシリアルポートを有するCPU側から4ビットのクロックを、途中、データを内部バスに取り込む時間を考慮しつつ2回出すことにより何等支障なく通信ができる。

26

特開昭61-166244 (8)

また、クロックはマスターのCPUやスレーブのCPUでは作成せず、別のCPUやハードウェアで作成したものを共通に用いるようにしてもよい。このときはマスターのCPUよりこのクロック発生手段にクロック発生のタイミング信号が与えられる。

以上はVTRの内部の機能デバイス間の通信を例にとって説明したが、このような1つの電子機器の内部通信に限らず、例えばVTRとビデオカメラとモニター受像機等からなる映像機器システムを考えたとき、このシステム内のVTRとビデオカメラ間、VTRとモニター受像機間等の通信にもこの発明が適用できることは言うまでもない。

(発明の効果)

この発明によれば、前述した情報集中化分散処理システム内の通信の一般的な効果、すなわち省結線化、省ピン数化による製造工数の低減、製造容易化、高サービス性、機能モジュール化による多品種少量生産の可能化等の効果の他、通信を同期系の同期信号に同期して周期的になすようにし

たことにより次のような効果がある。

すなわち、通信の周期化により、一度誤った通信をしてもすぐに正しいデータが送られて正規の状態に復帰するのでエラー率が低下し信頼性が向上する。また、同期通信であり、しかもマスター側でのみ通信管理するものであるから、通信管理が非常に容易であり、また、通信バグのデバグも容易になる。

また、システムの同期系の同期信号に位相同期した同期通信であるので、この同期信号に同期した処理をなす情報に基づく、その処理を容易にすることができる。例えば、VTRで編集を行う場合、「2フィールド後から信号をつなぐ」という処理は、そのコマンドデータが垂直同期パルスに位相同期しているから今からどのくらいのところでつなぐのか正確に判断ができる。その他、タイムコードを通信データとしてフレーム毎やフィールド毎を通信することも容易になる。

図面の簡単な説明

第1図はこの発明の原理的構成の一例のブロッ

27

28

ク図、第2図はその説明のための図、第3図はこの発明の一実施例のブロック図、第4図はその説明のための図、第5図及び第6図はシリアルポートの他の例を示す図、第7図～第9図はスレーブの機能デバイスに対しさらにスレーブの機能デバイスが存在する場合の両デバイス間の通信方式の一例を説明するための図、第10図～第12図はシステムの諸機能の処理方式の例を示す図、第13図はシリアルポートの一例を示すブロック図、第14図はその説明のための図、第15図はこのシリアルポートを用いた通信方式の一例を示す図である。

(40) はマスターの機能デバイスのCPU、
(41)～(44) はスレーブの機能デバイスのCPU、
SO はシリアル出力端子、SI はシリアル入力端子、SCK はシリアルクロック端子である。

代理人

伊藤

貞



同

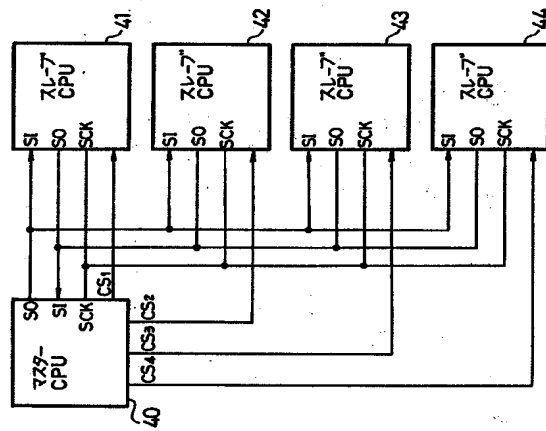
松隈秀盛



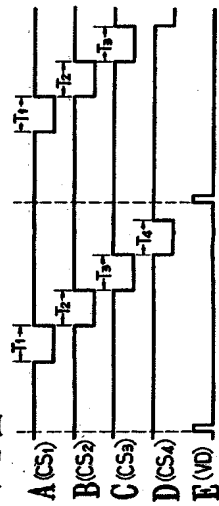
29

特開昭61-166244(9)

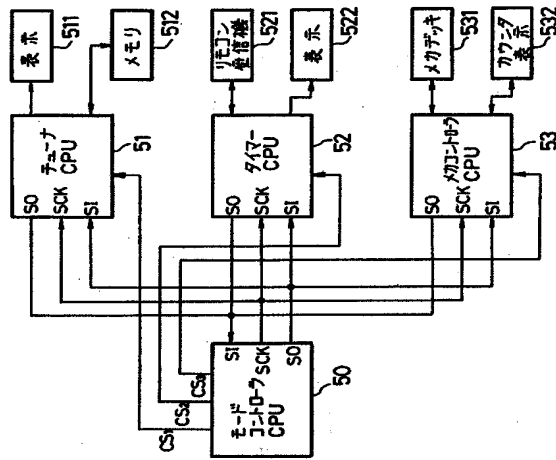
第1図



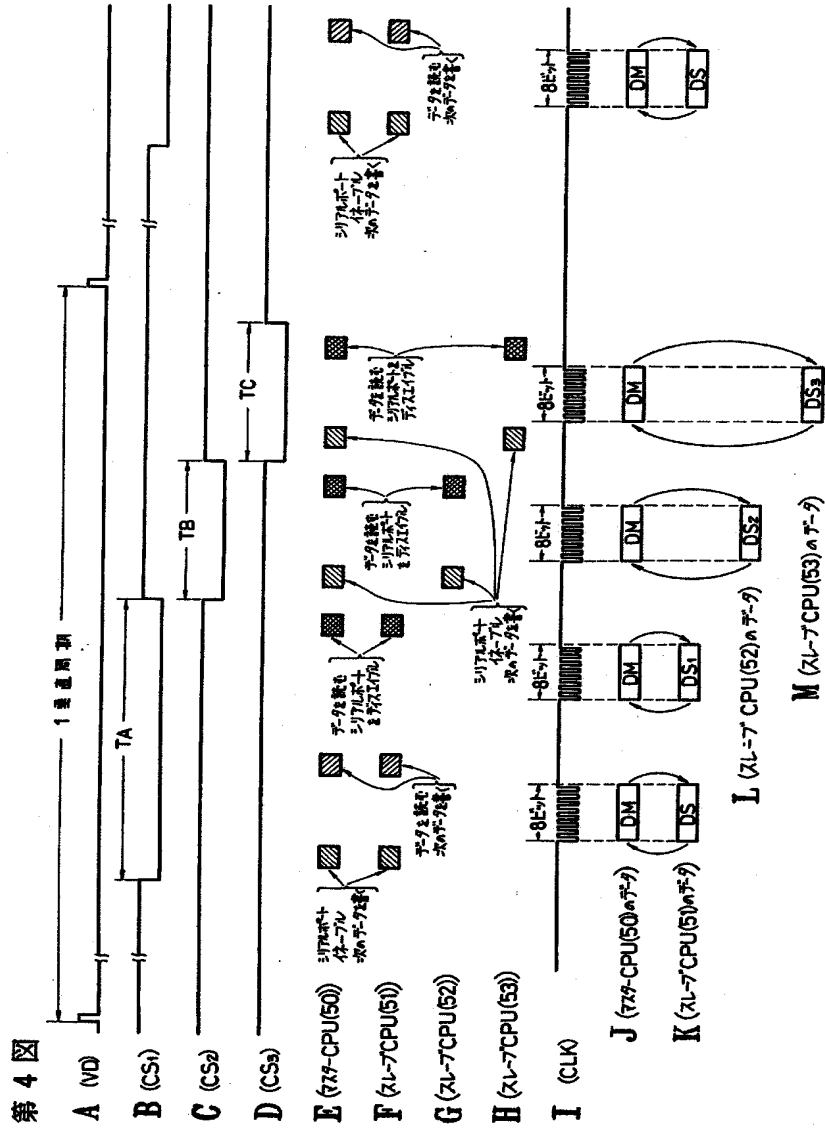
第2図



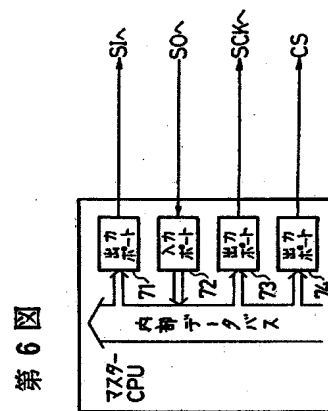
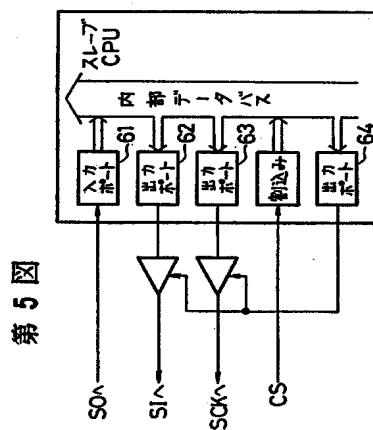
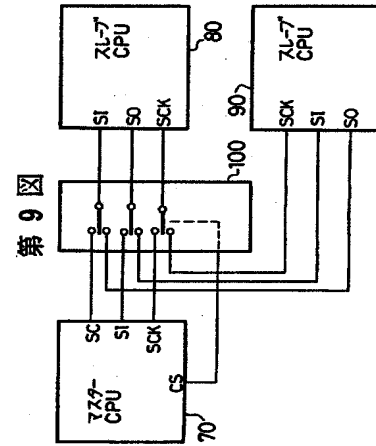
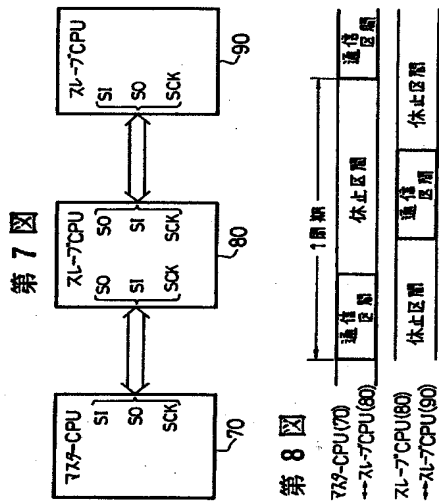
第3図



特開昭61-166244 (10)

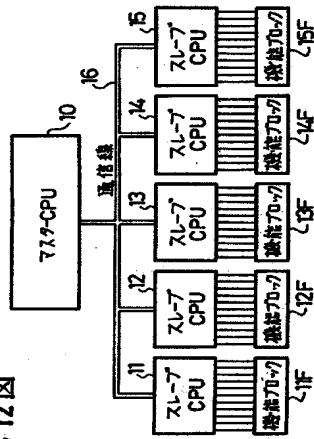


特開昭61-166244(11)

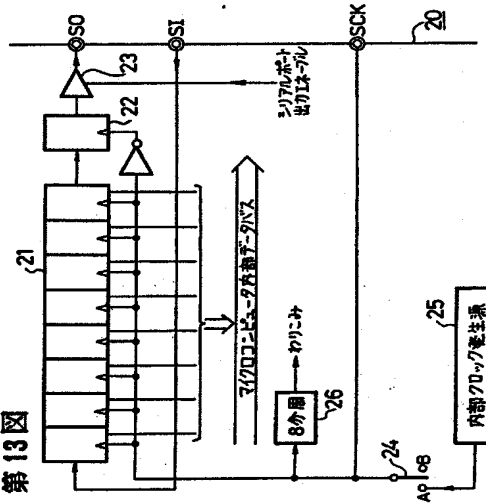


特開昭61-166244(12)

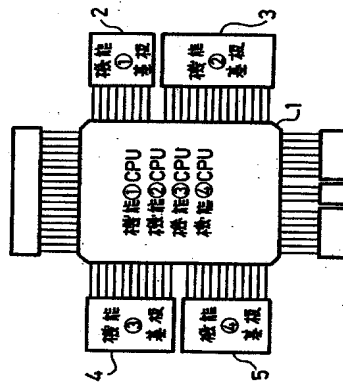
第12図



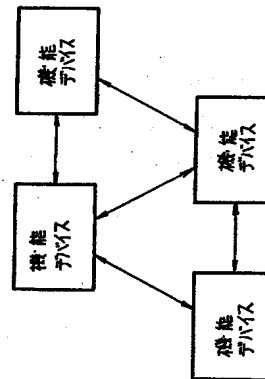
第13図



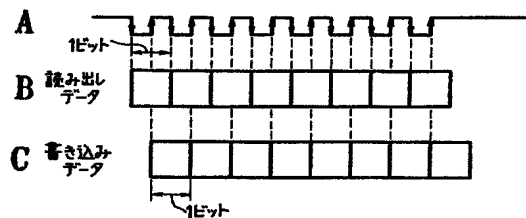
第10図



第11図



第 14 図



第 15 図

